

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 05-235337

(43)Date of publication of application : 10.09.1993

(51)Int.Cl. H01L 29/784

(21)Application number : 04-008263

(71)Applicant : NIPPON PRECISION CIRCUITS
KK
SEIKOSHA CO LTD

(22)Date of filing : 21.01.1992

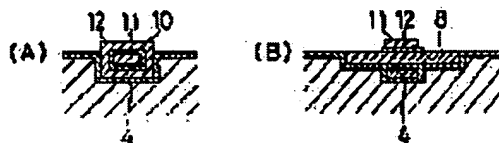
(72)Inventor : ASAMI MASASHI

(54) MIS TYPE SEMICONDUCTOR DEVICE

(57)Abstract:

PURPOSE: To provide a MIS type semiconductor device enabling the increase of operating speed and improvement in the degree of integration.

CONSTITUTION: A MIS type semiconductor device is formed by a silicon substrate, to which a recessed section is formed, a cylindrical gate electrode 12 formed in response to the recessed section, a semiconductor substance layer 8 using the inside of the cylinder of the cylindrical gate electrode 12 as a channel region and the outside of the cylinder as a source region and a drain region, and a cylindrical gate insulating film 10 formed between the cylindrical gate electrode 12 and the semiconductor layer 8.



LEGAL STATUS

[Date of request for examination] 21.01.1992

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or

THIS PAGE BLANK (USPTO)

application converted registration]

[Date of final disposal for application]

[Patent number] 1931744

[Date of registration] 12.05.1995

[Number of appeal against examiner's
decision of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right] 24.08.2002

1931744 12.05.1995 24.08.2002

THIS PAGE BLANK (USPTO)

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平5-235337

(43)公開日 平成5年(1993)9月10日

(51)IntCl.⁵

H 0 1 L 29/784

識別記号

庁内整理番号

F I

技術表示箇所

7377-4M

H 0 1 L 29/ 78

3 0 1 G

7377-4M

3 0 1 H

審査請求 有 発明の数1(全 3 頁)

(21)出願番号

特願平4-8263

(62)分割の表示

特願昭58-215676の分割

(22)出願日

昭和58年(1983)11月16日

(71)出願人 390009667

日本プレシジョン・サーキット株式会社
東京都中央区八丁堀4丁目5番4号

(71)出願人 000002381

株式会社精工舎
東京都中央区京橋2丁目6番21号

(72)発明者 浅見 政資

栃木県那須郡塩原町大字下田野531番地1

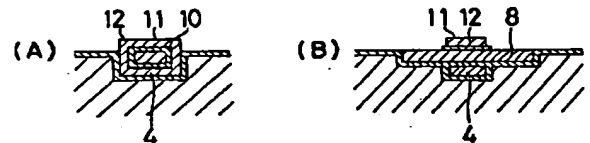
(74)代理人 弁理士 松田 和子

(54)【発明の名称】 M I S型半導体装置

(57)【要約】

【目的】 高速化および高集積化が可能なM I S型半導体装置を提供することである。

【構成】 凹部を設けたシリコン基板と、凹部に対応して設けられた筒状のゲート電極12と、筒状のゲート電極12の筒内をチャネル領域とし筒外をソース領域およびドレイン領域とした半導体物質層8と、筒状のゲート電極12と半導体物質層8との間に設けられた筒状のゲート絶縁膜10とにより、M I S型半導体装置を形成する。





1

【特許請求の範囲】

【請求項 1】 凹部を設けた半導体基板と、
上記凹部に対応して設けられた筒状のゲート電極と、
上記筒状のゲート電極の筒内をチャネル領域とし筒外を
ソース領域およびドレイン領域とした半導体物質層と、
上記筒状のゲート電極と上記半導体物質層との間に設け
られた筒状のゲート絶縁膜とを有する M I S 型半導体装
置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は M I S (MOS) 型半導
体装置に関する。

【0002】

【従来の技術】 従来の M I S (MOS) 型半導体装置に
おいて、ゲート電極はゲート絶縁膜の上に面状に設けら
れている。

【0003】

【発明が解決しようとする課題】 ところで、M I S (M
OS) 型半導体装置において、速度を速くするには、チャ
ネル部分の長さ L を短くするか、チャネル部分の幅 W を
広くとるかすればよいことが知られている。しかし、
チャネルの長さ L をあまり小さくすると、ソース領域と
ドレイン領域とが近接しすぎてパンチスルーがおき、い
わゆるショートチャネル効果が生じるおそれがある。し
たがって、 L を小さくすることについては制約がある。
他方、チャネルの幅 W を大きくすると、一つのトランジ
スタの占める割合が大きくなり、高集積化の要請に反す
ることになる。

【0004】 本発明の目的は、高速化および高集積化が
可能な M I S (MOS) 型半導体装置を提供することであ
る。

【0005】

【課題を解決するための手段】 本発明における M I S 型
半導体装置は、凹部を設けた半導体基板と、上記凹部に
対応して設けられた筒状のゲート電極と、上記筒状のゲ
ート電極の筒内をチャネル領域とし筒外をソース領域お
よびドレイン領域とした半導体物質層と、上記筒状のゲ
ート電極と上記半導体物質層との間に設けられた筒状の
ゲート絶縁膜とを有する。

【0006】

【実施例】 図 1 に示すように、シリコン基板 1 に 2 段に
凹部 2 を形成する。深さは、1 段めのステップが基板面
から約 0.5μ 、2 段めのステップが 1 段めのステップ
から $0.2 \sim 0.3 \mu$ である。

【0007】 このような凹部 2 を設けたシリコン基板 1
の表面に絶縁膜 3 を形成する。絶縁膜 3 の形成方法は、
熱酸化により表面に酸化膜 $S i O_2$ を形成する等の方法
による (図 2 (A)、図 2 (B))。

【0008】 ついで、上部凹部 2 に電極膜 4 を設ける。
この電極膜 4 は対向位置に立上り部 5、6 を有する断面

2

U 字状のもので、材料としてはモリブデンシリサイドな
どを用いてスパッタリングにて形成する。上記電極膜上
に絶縁膜 7 を設ける (図 3 (A)、図 3 (B))。な
お、立上り部 5、6 の上面には絶縁膜は設けられていな
いが、この段階ではここも絶縁膜で被覆しておいて後で
この部分を除くようにしてもよい。

【0009】 つぎに、上記絶縁膜 7 で被覆した電極膜 4
の凹部およびその両側にわたって半導体物質層 8 を形成
する。具体的にはシリコンの単結晶をエビタキシャル成
長させて形成する。この半導体物質層 8 の上に上記絶縁
膜 7 の立上り部 5、6 の内側の部分と連続させて絶縁膜
9 を設け、上記絶縁膜 7 と絶縁膜 9 とは筒状のゲート絶
縁膜 10 となる (図 4 (A)、図 4 (B))。

【0010】 この絶縁膜 9 の上に電極膜 11 を設ける。
これは上記の電極膜 4 と同じ材料のもので、例えばモリ
ブデンシリサイドをスパッタリングにて設ける。その
際、電極膜 11 は上記電極膜 4 の立上り部 5、6 と連続
させて形成する。したがって、電極膜 4 と電極膜 11 と
は筒状のゲート電極 12 を形成することになる (図 5
(A)、図 5 (B))。

【0011】 上記電極膜 11 の表面を絶縁膜 13 にて被
覆する。そして、この絶縁膜 13 をマスクとして利用し
て、上記筒状のゲート電極 12 の開口部の外側の半導体
物質層 8 にイオンを打込んで、ソース領域 14 およびド
レイン領域 15 をつくる (図 6 (A)、図 6 (B))。

【0012】 この上に絶縁膜 16、アルミ配線 17、P
SG 保護膜 18 を設けて、MOS 型半導体装置を完成す
る (図 7 (A)、図 7 (B))。

【0013】 このように、ゲート電極 12 は筒状に形成
され、筒状部内の半導体物質部分はチャネルとして作用
することになる。

【0014】 なお、上述の実施例において、半導体物質
層 8 を形成した際凹凸が生じた場合、これを平坦になら
すようにする。また、ソース領域 14 およびドレイン領
域 15 を形成する際、イオン打込み法のほか熱拡散を用
いてもよい。

【0015】

【発明の効果】 本発明における M I S (MOS) 型半導
体装置では、半導体基板の凹部に対応して筒状のゲート
電極を設けたので、高速化および高集積化が可能とな
る。

【図面の簡単な説明】

【図 1】 本発明の実施例であり、凹部を形成したシリコ
ン基板の要部斜視図である。

【図 2】 図 2 (A) は図 1 のシリコン基板を A-A 線で
見た状態での製造工程説明図であり、図 2 (B) は図 1
のシリコン基板を B-B 線で見えた状態での製造工程説明
図である。

【図 3】 図 3 (A) は図 1 のシリコン基板を A-A 線で
見た状態での製造工程説明図であり、図 3 (B) は図 1

50

3

のシリコン基板をB-B線で見た状態での製造工程説明図である。

【図4】図4(A)は図1のシリコン基板をA-A線で見た状態での製造工程説明図であり、図4(B)は図1のシリコン基板をB-B線で見た状態での製造工程説明図である。

【図5】図5(A)は図1のシリコン基板をA-A線で見た状態での製造工程説明図であり、図5(B)は図1のシリコン基板をB-B線で見た状態での製造工程説明図である。

【図6】図6(A)は図1のシリコン基板をA-A線で見た状態での製造工程説明図であり、図6(B)は図1のシリコン基板をB-B線で見た状態での製造工程説明 *

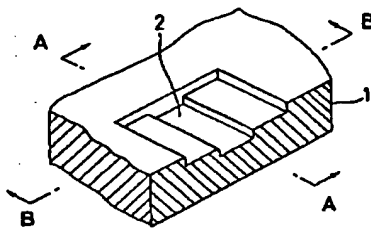
*図である。

【図7】図7(A)は図1のシリコン基板をA-A線で見た状態での製造工程説明図であり、図7(B)は図1のシリコン基板をB-B線で見た状態での製造工程説明図である。

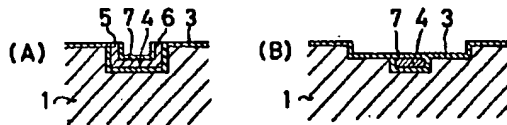
【符号の説明】

- 1.....シリコン基板
- 2.....凹部
- 8.....半導体物質層
- 10.....ゲート絶縁膜
- 12.....ゲート電極
- 14.....ソース領域
- 15.....ドレイン領域

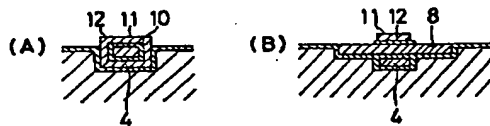
【図1】



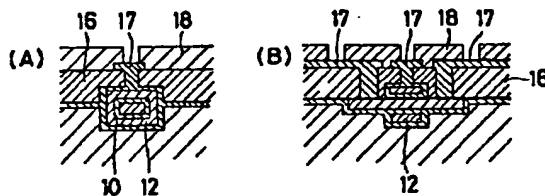
【図3】



【図5】



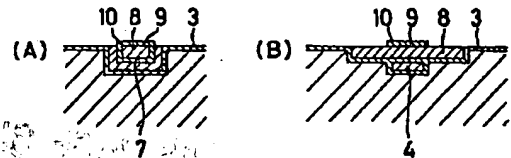
【図7】



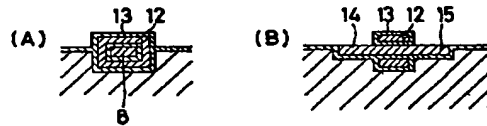
【図2】



【図4】



【図6】



THIS PAGE BLANK (USPTO)